

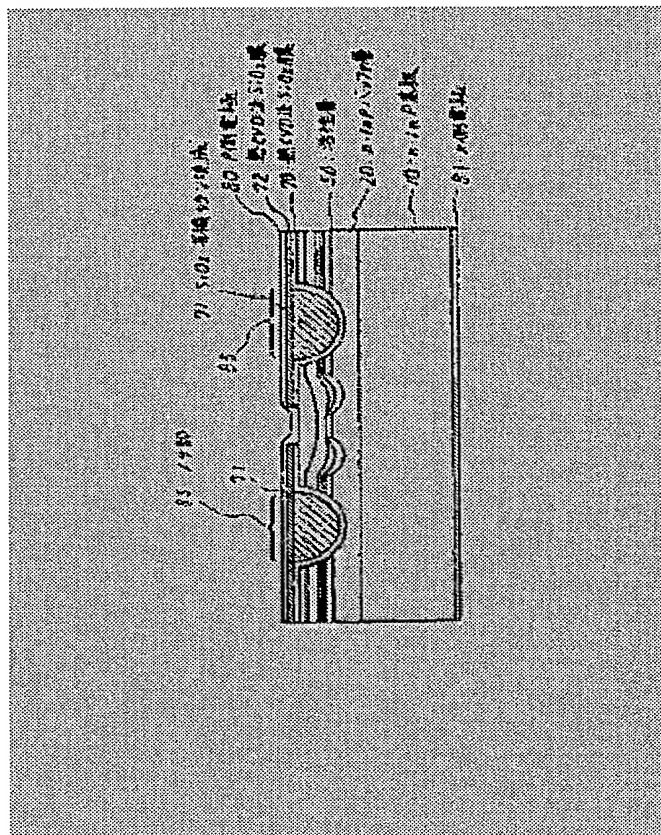
**OPTICAL SEMICONDUCTOR DEVICE**

**Publication number:** JP1256184  
**Publication date:** 1989-10-12  
**Inventor:** TAKANO SHINJI  
**Applicant:** NIPPON ELECTRIC CO  
**Classification:**  
- international: **H01S5/00; H01S5/00; (IPC1-7): H01S3/18**  
- European:  
**Application number:** JP19880084294 19880405  
**Priority number(s):** JP19880084294 19880405

Report a data error here

**Abstract of JP1256184**

**PURPOSE:** To realize high speed modulation with improved reliability, reproducibility and stability, by providing a groove in a semiconductor layer for constricting electric current, the groove being filled with sparse SiO<sub>2</sub> or SiN produced by baking organic silane. **CONSTITUTION:** Grooves 85 are formed outside a double channel. An SiO<sub>2</sub> film 70 is deposited in the grooves 85 by the heat CVD process, for example. Organic silane applied thereon is subjected to spin coating and baked at a certain temperature for a certain period of time. Thereby, the grooves 85 are filled flatly with pumice-like SiO<sub>2</sub> 71 including a multiplicity of voids. Further, a part of the SiO<sub>2</sub> present over the flat section is removed by dry etching. In this manner, electric current is constricted and very high speed response can be obtained with improved reliability, stability and reproducibility.



Data supplied from the esp@cenet database - Worldwide

## ⑫ 公開特許公報(A) 平1-256184

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月12日

H 01 S 3/18

7377-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 光半導体装置

⑰ 特 願 昭63-84294

⑱ 出 願 昭63(1988)4月5日

⑲ 発 明 者 高 野 信 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

光半導体装置

## 2. 特許請求の範囲

1. 第一導電形半導体上に半導体層を積層した光半導体装置において、前記半導体層に有機シランを焼成した密度が残るSiO<sub>2</sub>あるいはSi<sub>3</sub>N<sub>4</sub>が埋め込まれた電流狭窄のための溝部を有することを特徴とする光半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は光通信、光演算あるいは光計測装置の光源として用いられる光半導体装置に関する。

〔従来の技術〕

半導体レーザは印加した電流を変える、いわゆる直接変調により数GHzにまでわたる高速変調が可能であるという特徴を有し、高速及び長距離の光通信用の光源として開発が進められている。特に近年、単一縦モードで動作する分布帰還形半導体レーザ(Distributed Feedback Laser Diode;

以下DFB-LDと略す。)、あるいは分布ブラッグ反射形半導体レーザ(Distributed Bragg Reflector Laser Diode; 以下DBR-LDと略す。)は、発振波長の単色性に極めて優れていることから超高速・長距離の光ファイバー通信用の光源として、またコヒーレントな光学系を組んだ光計測器の光源として期待され、研究開発が急ピッチで進められている。InGaAsP/InP系材料を用いたDFB-LDでは4 Gb/sという超高速で100kmを超える伝送距離の光ファイバー通信システム実験の光源として用いられ、良好な結果が得られている。

半導体レーザの周波数応答特性は素子自体の容量に起因するRC時定数及び活性層における光子とキャリアとの相互作用に起因する緩和振動(特定の変調周波数で共振を起こし、変調感度が著しく増加する共振状現象)によって決定される。特に高速変調特性の改善には、RC時定数の低減が不可欠であるため、高抵抗半導体層やポリイミドによる埋め込みやメサ構造等により改善が図られている。

〔発明が解決しようとする課題〕

しかし、埋め込み構造の場合では、例えば高抵抗半導体で埋め込む場合では抵抗率や信頼性・再現性に問題があり、またポリイミドでは焼成後にストレスが大きく信頼性・安定性に欠ける、などの欠点を有している。メサ構造の場合でも、絶縁膜を厚く形成するとストレスが大きくなり、特にメサ幅が狭い場合では発光領域へ及ぼす影響が大きいことや、また、 $p-n$ 接合側をヒートシンクにマウントした場合(ジャンクション・ダウン)では、融材によるストレスの影響も重大である。

したがって、これらの方法においては信頼性・再現性・安定性などの点に問題があった。

本発明の目的は十分に素子容量を低減し、信頼性・再現性・安定性に優れた高速変調可能な光半導体装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明は、第一導電形半導体上に半導体層を積層した光半導体装置において、前記半導体層に有機シランを焼成した密

度が残る $SiO_2$ あるいは $SiN$ が埋め込まれた電流狭窄のための溝部を有するものである。

〔作用〕

本発明では、溝部を密度が残る有機シラン系 $SiO_2$ あるいは $SiN$ により埋め込むことにより素子容量の低減、及び信頼性・再現性・安定性の向上を得ている。この原理について以下に詳細に説明する。

有機シラン(一般式： $R_nSi(OR)_{3-n}$ 、 $R$ ；アルキル基)は常温で液体であるため容易に溝部を埋めることが可能であり、また数 $100^\circ C$ のベーキングによりアルキル基が抜けて空孔を多数含む、軽石状の $SiO_2$ に焼成させることができる。この $SiO_2$ の密度は極めて小さく、膜応力も小さいので、この $SiO_2$ で溝を埋めることにより応力(ストレス)が小さく、しかも容量も十分低減した素子が実現できる。また、この $SiO_2$ は軟らかいためにたとえば素子のへき開に際しても全く問題がない。また素子をジャンクション・ダウンでヒートシンクに融着しても、融材の這い上がりやストレスの心配のない電極構造を形成できる。

〔実施例〕

以下に本発明の実施例を図によって説明する。

第1図は本発明の実施例を示す断面図である。図において、10は $n$ -InP基板、20は $n$ -InPバッファ層、50は $InGaAsP$ 活性層である。これら各層を含む積層構造の素子の基本となる半導体レーザ構造は、水戸等によって昭和57年度電子通信学会総合全国大会講演論文集857に記載された二重チャネル型プレーナ埋め込み(DC-PBH)構造であり、この素子にはさらに素子容量低減のため二重チャネルの外側にメサ部85の溝部を有し、このメサ部85は有機シラン71が平坦に埋め込まれ、焼成されている。70,72は熱CVD法 $SiO_2$ 膜であり、素子の両面には $p$ 側電極80、 $n$ 側電極81が取り付けられている。

以下に、この電極構造の製造工程を第2図を参照して詳細に説明する。まず、第2図(a)に示すように二重チャネルの外側にメサ部(溝部)85を形成し、この溝部に熱CVD法により $SiO_2$ 膜(膜厚：1500Å)70を堆積させる。その後、有機シラン( $R_nSi(OR)_{3-n}$ 、 $R=CH_3$ )を塗布後スピコートし、

$400^\circ C$ にて15分間ベーキングを行う。以上の工程により溝は空孔を多数含む、軽石状の $SiO_2$ 71が平坦に埋め込まれる。さらに、この $SiO_2$ 71のうち、第2図(b)に示すように平坦部上にある部分のみをドライエッチングにより取り除く。この $SiO_2$ 71が熱CVD法 $SiO_2$ 膜70に比べドライエッチングにおけるエッチングレートが大きいので容易に加工できる。これは、 $SiO_2$ 71がエッチング溶液により容易に浸潤され易く、後にストライプ電極をHF(フッ酸)を用いてエッチングにより形成する際に、 $SiO_2$ 71がエッチングされるのを防ぐためである。以上の加工の後、第2図(c)のようにさらに熱CVD法により $SiO_2$ 膜(膜厚：1000Å)72を堆積させる。このように、熱CVD膜によるサンドイッチ構造にするのは半導体及び電極金属との密着性を高めるためであり、必ずしも熱CVD膜は必要ではない。上記埋め込み部形成後、HF(フッ酸)を用いてストライプ状に熱CVD法 $SiO_2$ 膜70及び同72を除去する。その後、電極金属を蒸着し熱処理を行った後、電極を形成する。上記素子について共振器長を300

加としてへき開して素子特性を評価したところ、室温において発振しきい値は20~30mAであった。また、この素子の小信号周波数応答特性を測定したところ、素子のRC時定数による低周波域での勾配(ロールオフ)は小さく、-3dB低下周波数帯域として7GHzと良好な値が得られた。また、この素子のキャパシタンスを測定したところ8pFと通常のメサ形素子の1/3~1/5であった。

第3図は本発明の第2の実施例を示す断面図である。基本となる半導体レーザ構造は、リッジウェーブガイド構造の半導体レーザであり、リッジ両脇の溝部85を有機シランを焼成したSiO<sub>2</sub>71により埋め込んでいる。

図において、41,42はInGaAsPガイド層、61はp-InPクラッド層、62はp<sup>+</sup>-InGaAsPコンタクト層である。他の構成部分は第1図と同じである。

以上は有機シランを焼成したSiO<sub>2</sub>について述べたが、窒素を含む有機シランを焼成して形成されるSi<sub>3</sub>N<sub>4</sub>により埋め込んでも同様な効果が得られる。

以上の実施例はメサ構造及びリッジウェーブガ

イド構造の半導体レーザについて説明したが他の電流狭窄のための溝を有する光半導体装置にも有効である。

#### 〔発明の効果〕

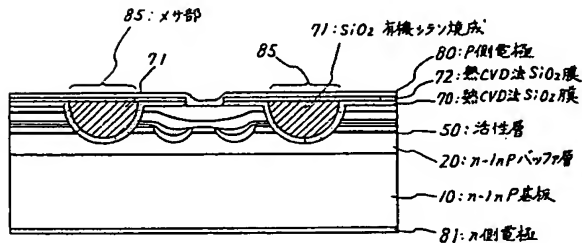
以上述べたように本発明によれば、素子容量が小さく、信頼性・安定性・再現性に優れた超高速応答可能な光半導体装置を実現できる効果を有する。

#### 4. 図面の簡単な説明

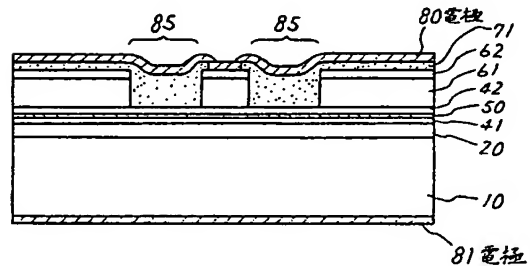
第1図は本発明の構成を示す説明図、第2図(a)~(c)は本発明の第1の実施例の製造工程を順に示す図、第3図は本発明の第2の実施例を示す断面図である。

|                                 |                                    |
|---------------------------------|------------------------------------|
| 10...n-InP基板                    | 20...n-InPバッファ層                    |
| 41,42...InGaAsPガイド層             | 50...InGaAsP活性層                    |
| 61...p-InPクラッド層                 | 62...p <sup>+</sup> -InGaAsPコンタクト層 |
| 70,72...熱CVD法SiO <sub>2</sub> 膜 | 71...有機シラン焼成SiO <sub>2</sub>       |
| 85...メサ部(溝部)                    |                                    |

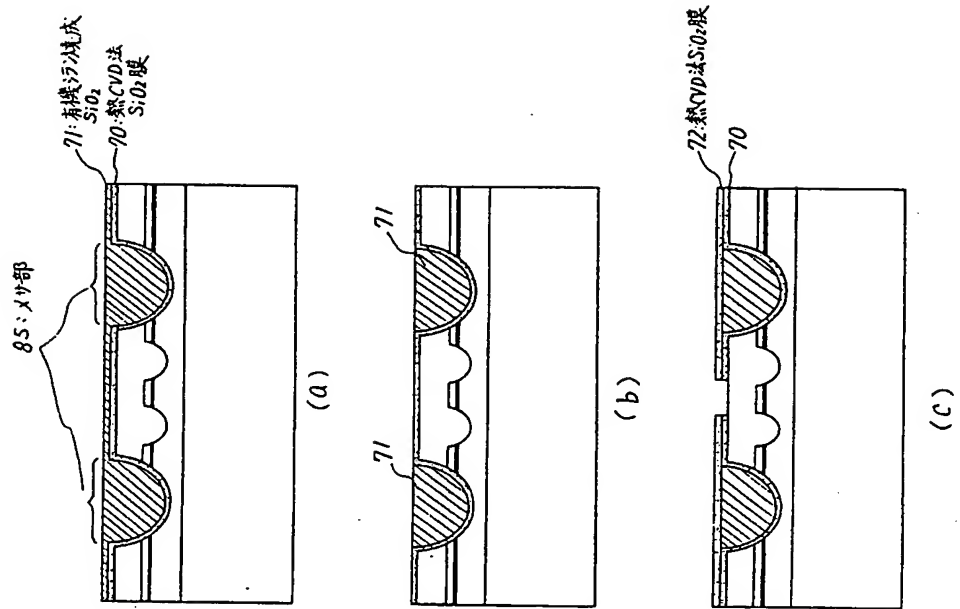
特許出願人 日本電気株式会社  
代理人 井理士 内 原 晋



第 1 図



第 3 図



第 2 図